



**Ausfallmechanismen mikroelektronischer  
Bauelemente und deren Analyse**

**SGS CTS Microelectronics & Photovoltaics**

**Gerald Dallmann, Division Manger Microelectronics & Photovoltaics**

**INSTITUT  
FRESENIUS**

**München, 15.07.2010**

**Symposium**

**"Zuverlässigkeit elektronischer Produkte"**

**SGS**

1. Analysemöglichkeiten bei SGS IF, Methoden in Dresden
2. Analysemethodik bei Ausfällen mikroelektronischer Produkte
3. Ausfallbilder im Back End (nach Wafer)
4. Ausfallbilder im Front End (Wafer)

1. Analysemöglichkeiten bei SGS IF, Methoden in Dresden
2. Analysemethodik bei Ausfällen mikroelektronischer Produkte
3. Ausfallbilder im Back End (nach Wafer)
4. Ausfallbilder im Front End (Wafer)

## CTS Microelectronics & Photovoltaic - Unser Leistungsportfolio

- Begleitung von F&E
- Qualitätskontrolle entlang der Fertigungskette
- Umweltschutz
- Zuverlässigkeit, Umweltsimulation
- **Fehler- und Schadensanalyse**
- Outsourcing Lösungen
- Zertifizierung
- Greentesting (WEEE/RoHS)
- Safety / EMC



**SGS - Société Générale de Surveillance**

## CTS Microelectronics & Photovoltaic - Analysetechniken



- **Materialografie, Lichtmikroskopie**
- **Elektronenmikroskopie (REM und TEM)**
- **Rasterkraftmikroskopie (AFM)**
- **Röntgentechniken (XRD und CT)**
- **Elektronenstrahlmikroanalyse (ESMA) mittels EDX und WDX**
- **Photoelektronenspektrometrie (XPS)**
- **Augerelektronenspektrometrie (AES)**
- **Sekundärionenmassenspektrometrie (SIMS)**
- **Spreading Resistance Profiling (SRP)**
- **Infrarotspektroskopie (IR), Thermoanalyse**
- **Chemische Analysetechniken**
- **Kerntechniken (in Kooperation)**



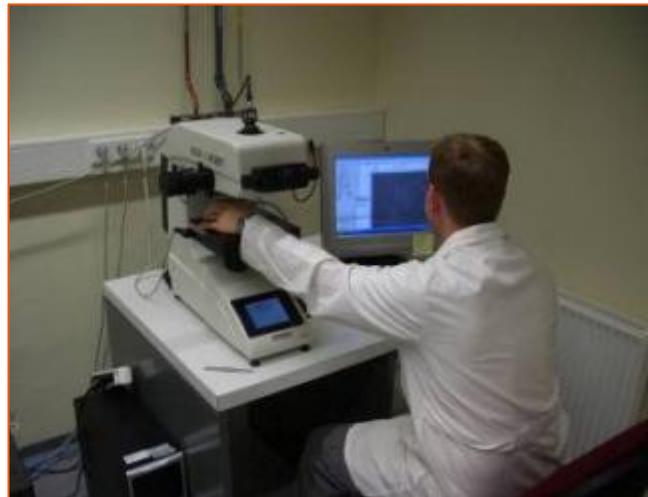
## CTS Microelectronics & Photovoltaic - FehleranalySELabor

- Querschnittspräparation (Zielbruch, Schliff, FIB)
- Abbildung (Lichtmikroskopie, Rasterelektronenmikroskopie)
- Reverse Engineering (Öffnen von BE, Rückpräparation)

SEM



Cleaving



Polishing

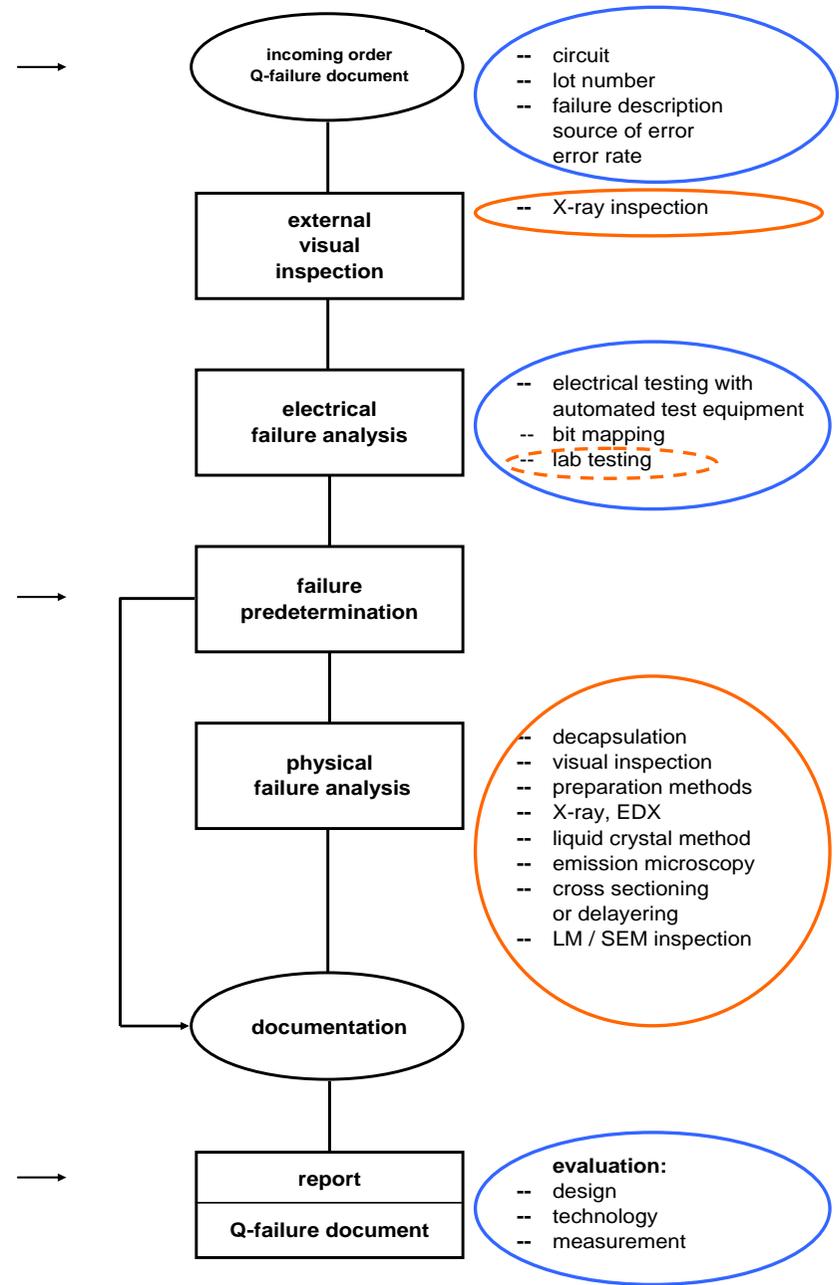


1. Analysemöglichkeiten bei SGS IF, Methoden in Dresden
2. Analysemethodik bei Ausfällen mikroelektronischer Produkte
3. Ausfallbilder im Back End (nach Wafer)
4. Ausfallbilder im Front End (Wafer)

# Failure analysis of ICs

## Failure Analysis Flow

data base:  
chipdata (lot)  
production  
assembly



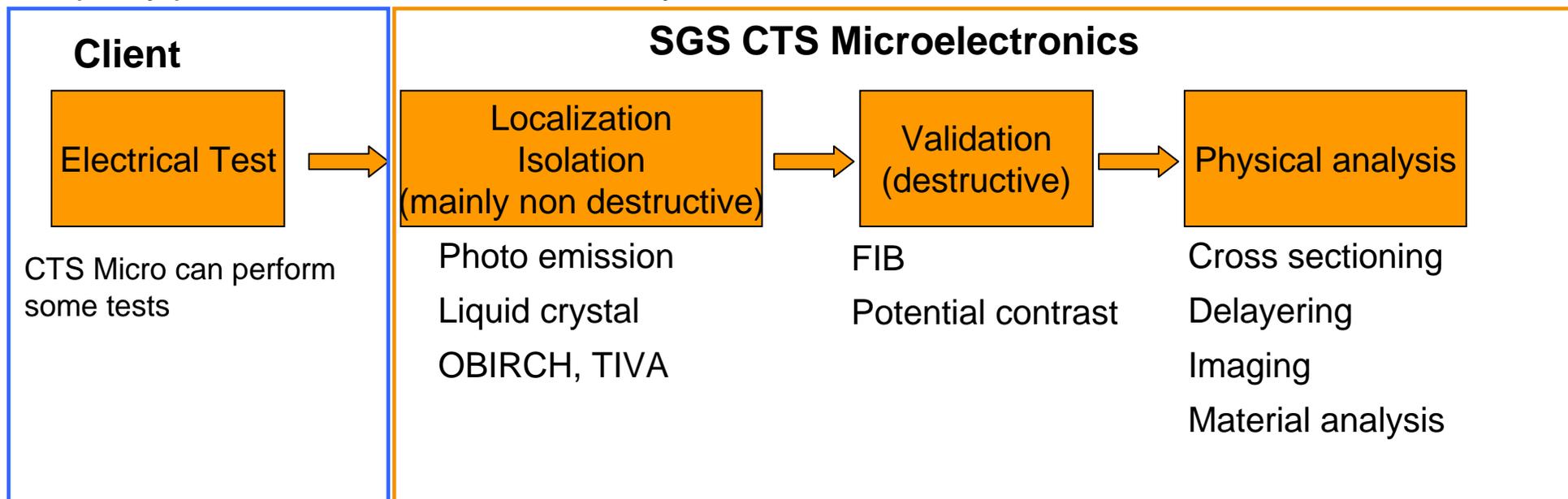
### Who can do what?

-  Client
-  SGS CTS Micro
-  SGS CTS Micro partly

# CTS Microelectronics – Failure analysis of ICs

## Failure analysis of ICs

is localization and identification of failures and deviations from the designed chip construction, which can lead as well to an abnormal electrical behaviour or other quality problems as to reduced reliability.



Failure analysis can also help to find weaknesses in the design. The same analytical techniques used for failure analysis are also used for process control and chip construction analysis.

1. Analysemöglichkeiten bei SGS IF, Methoden in Dresden
2. Analysemethodik bei Ausfällen mikroelektronischer Produkte
3. **Ausfallbilder im Back End (nach Wafer)**
4. Ausfallbilder im Front End (Wafer)

## Ausfallbilder im Back End

### Aktuelle Entwicklungen und deren Auswirkungen

- Waferproduktion, Wafertest und Back End werden an verschiedene Foundries übertragen. Die Prozesse sind oft nicht aufeinander abgestimmt. Jede Schnittstelle zu einer anderen FAB ist ein deutliches Risiko für spätere Ausfälle.

Beispiel: Wafer werden bei hohen Temperaturen funktional gemessen um einen Vorhalt zur Applikation zu erreichen. Im Automotive-Bereich treten sehr hohe Applikationstemperaturen auf. Die Bondpads müssen mit speziellen Beschichtungen geschützt werden (z.B. NiPPdAu), die neue Ausfallbilder erzeugen.

- Neue Integrationskonzepte (TSV- through Silicon Via) und Maßnahmen zur Kostenreduktion (Cu Bonddraht, neue Gehäuse wie glop top ) bringen neue Fehlermechanismen.

Beispiel: Der Übergang von Au auf Cu als Bonddraht ist z.Z. in der Entwicklung (Kosten). Cu ist thermisch und chemisch nicht stabil (Risiko von Oxidation im Bondprozess und von Korrosion im Gehäuse).

Beispiel: Glop Top Gehäuse sind mechanisch instabil und neigen zu Rissen (auch durch „green soldering“ bei höheren Temperaturen).

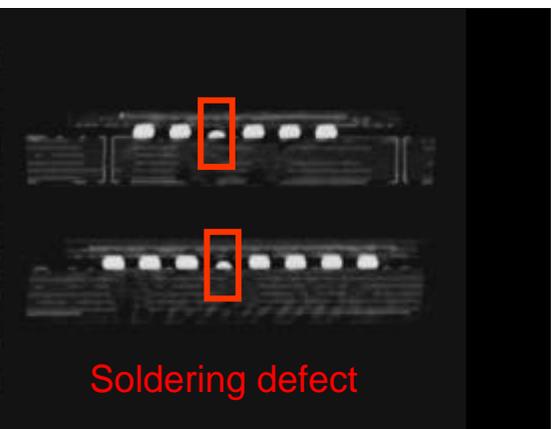
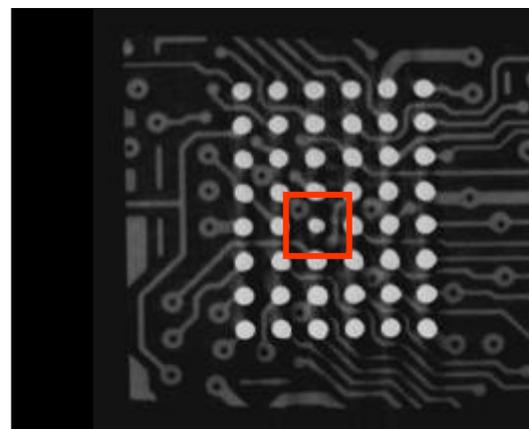
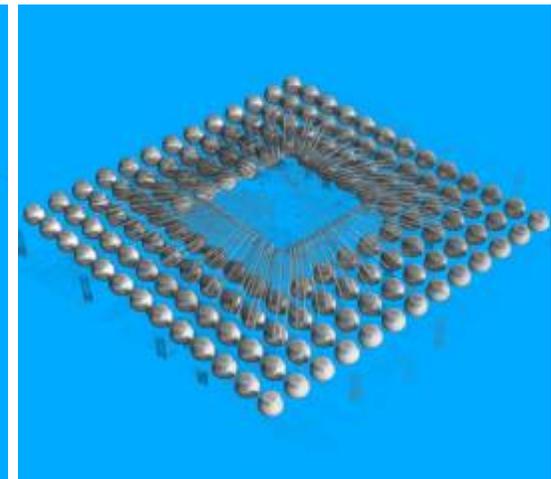
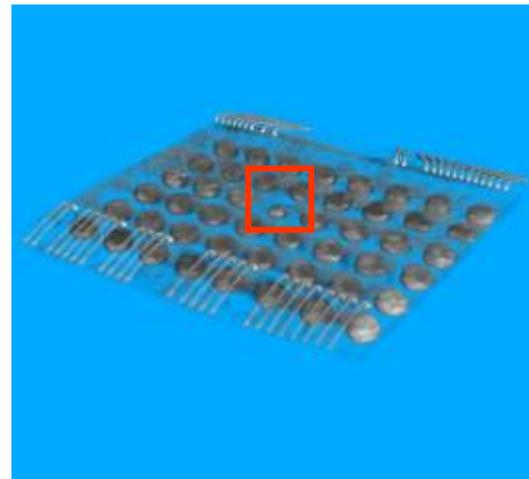
## Ausfallbilder im Back End

### Anforderungen an die Nutzer der Mikroelektronik-Produkte

- Intensivste Zusammenarbeit mit dem Hersteller  
um die für die jeweilige Applikation speziellen Risiken technologischer Neuerungen  
speziell an den Schnittstellen FE/BE/Applikation  
in der Konzeptphase der Produkte zu bewerten.
- Genaue Bewertung von Änderungen in der Produktion (PCRB Prozess,  
PCN/ Process Change Notice- Bewertung mit Daten, Einstufung Major/Minor Change).
- Klassische Tests in Qualifikationen (TC, ELT, ...) decken neue Risiken  
(z.B. Mechanischen Stress in der Montage/Applikation) ggf. nicht ab.  
Die bekannte „Purpurpest“ (AuAl<sub>2</sub>-Phasen beim Drahtbond) tritt dagegen praktisch kaum  
noch auf.

# Beispiele zur Fehleranalyse Zerstörungsfreie Untersuchung von BGAs

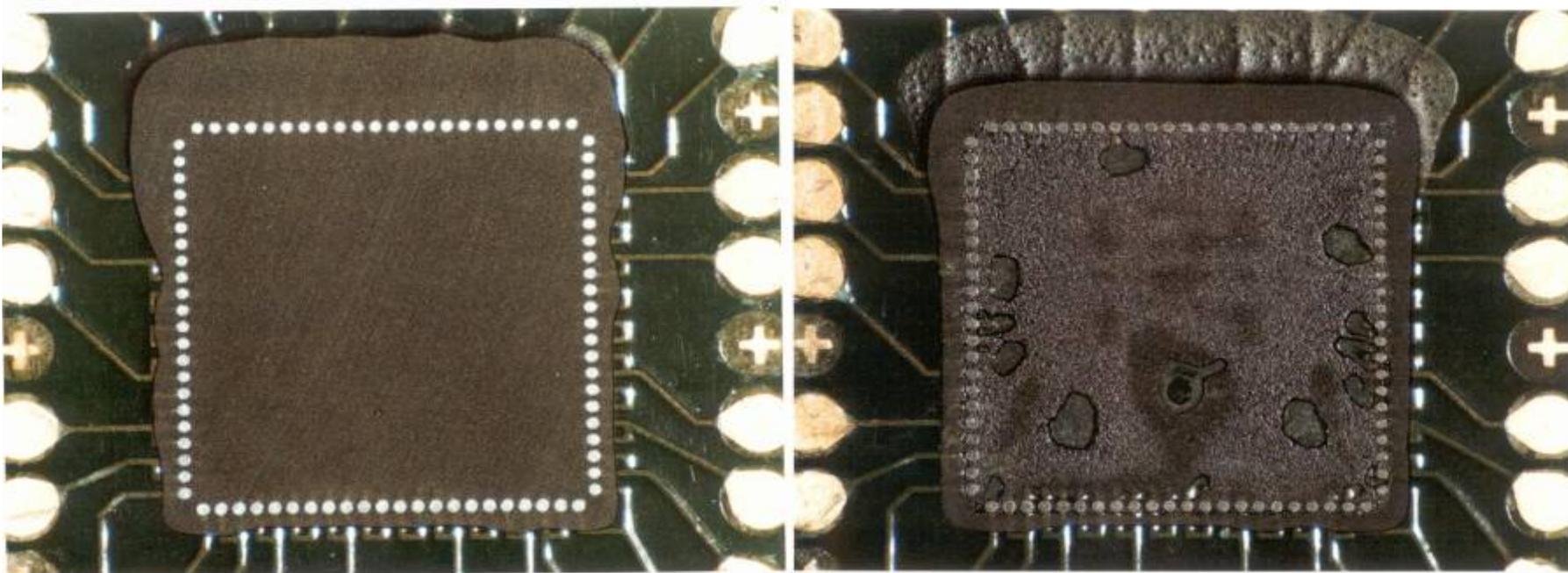
Inspektion von BGAs mittels 3D Tomography (SGS IF Dortmund)  
Ergebnis: ausgefallener Kontakt



Soldering defect

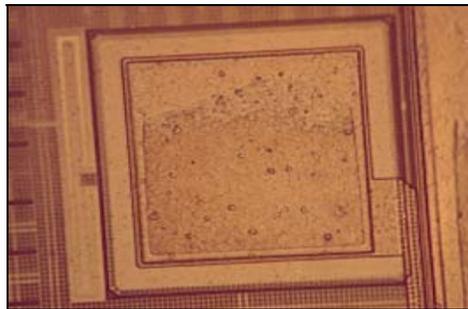
## Beispiele zur Fehleranalyse Untersuchung von Flip-Chip-Kontakten

**Planparallele Schliffe zur Begutachtung der Kontakte und des Underfills**  
**Ergebnis: Blasen im Underfill bei Schlechkontakt**

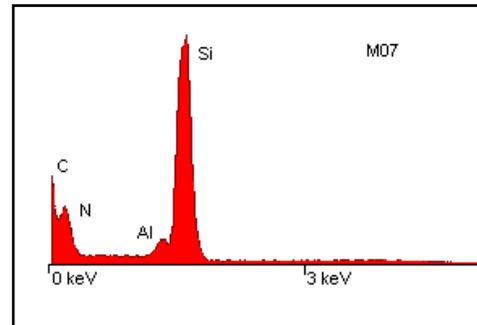


# Beispiele zur Fehleranalyse Bondpads, schlechtes Bondverhalten

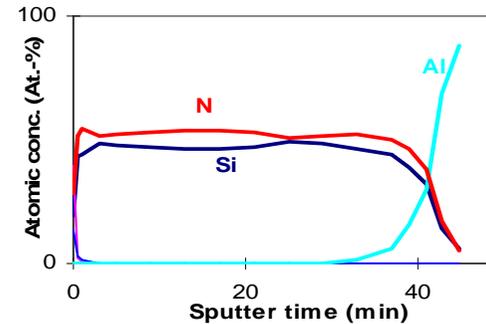
## Untersuchung von Drahtbondproblemen mit AES



Bondpad mit Restschicht

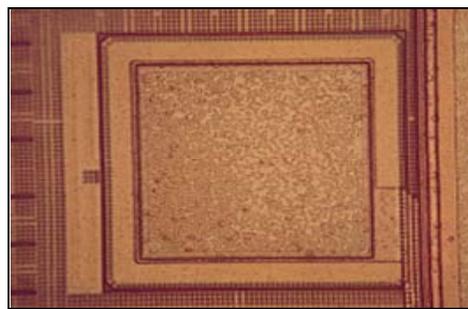


EDX Mikroanalyse

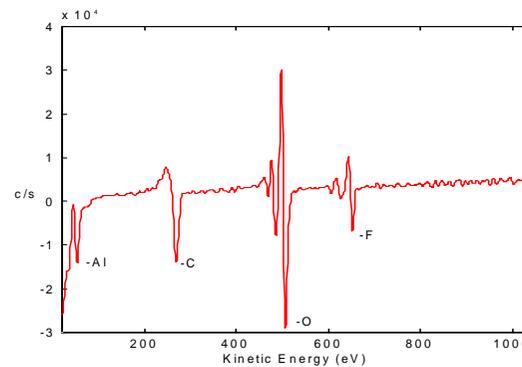


AES Tiefenprofil der Restschicht

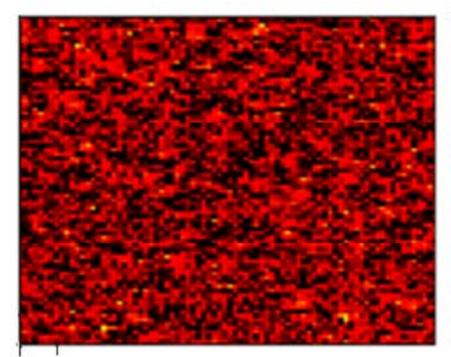
SiN- Restschicht



Bondpad mit Restschicht



AES Oberflächenanalyse



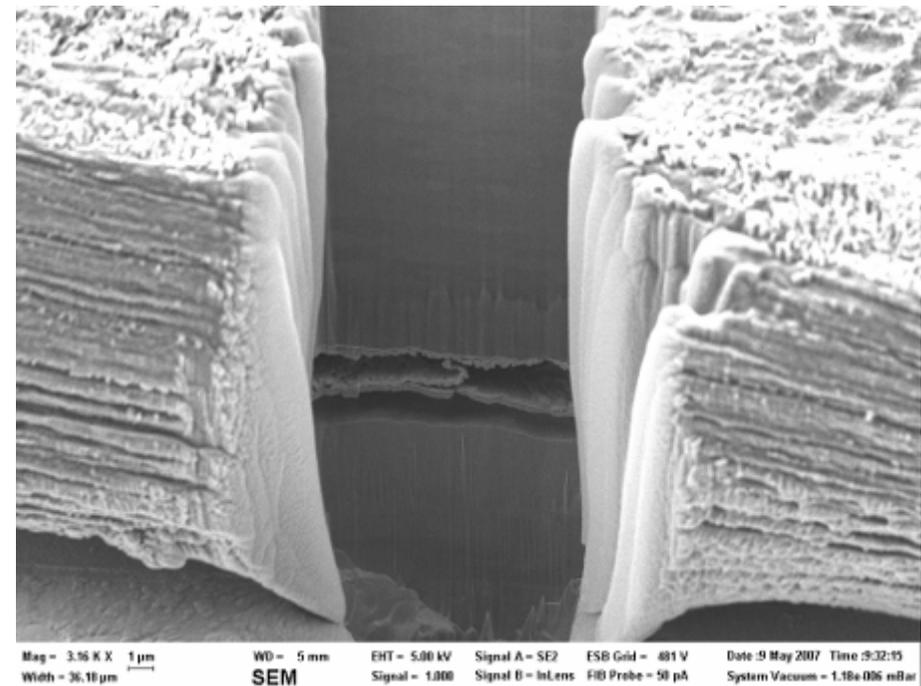
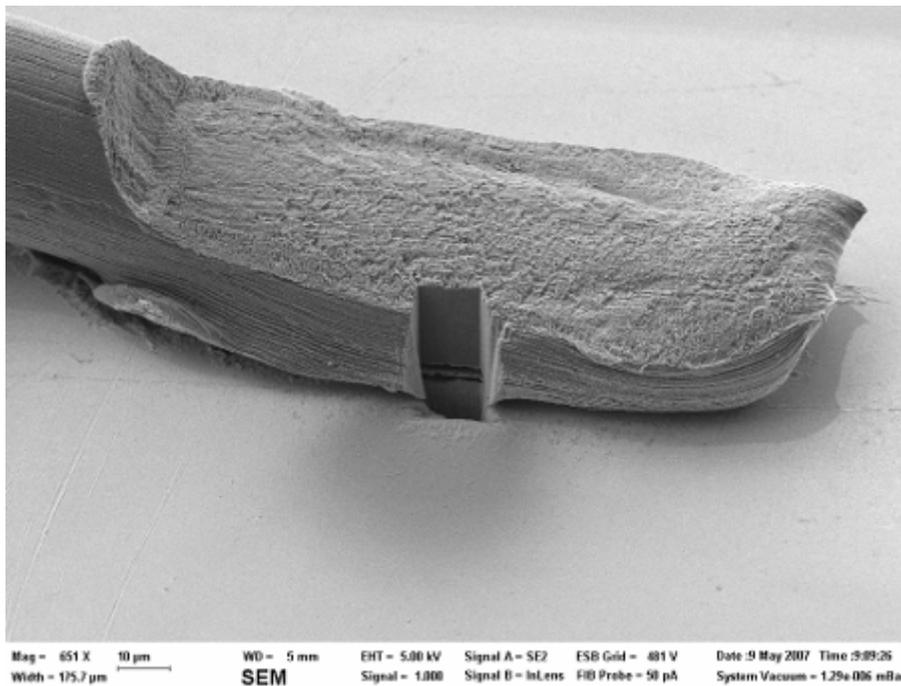
AES Map des Elementes Fluor

Fluorreste  
C-F-Verbindungen

## Beispiele zur Fehleranalyse Drahtbondkontakte, Delamination

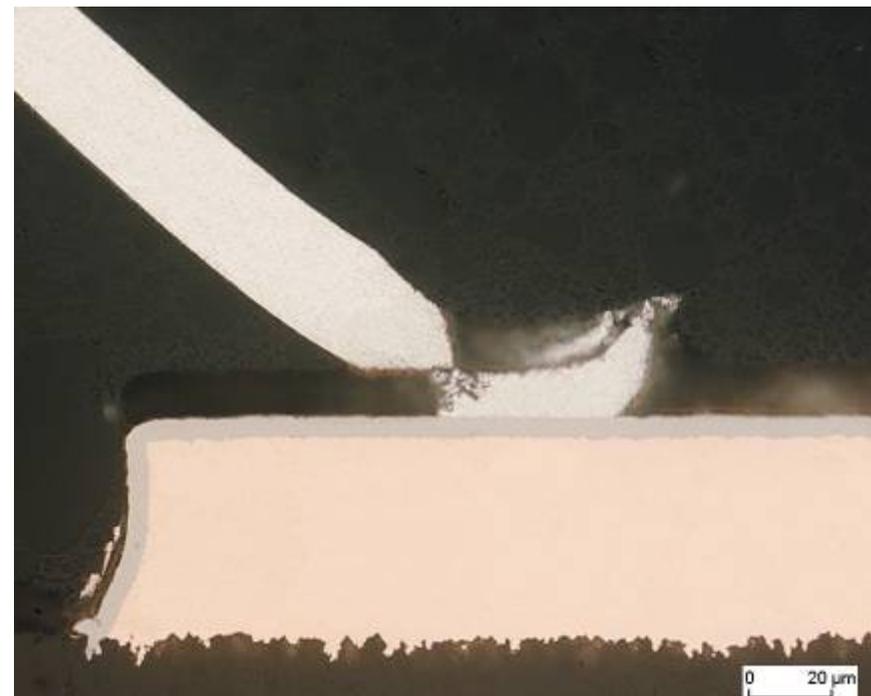
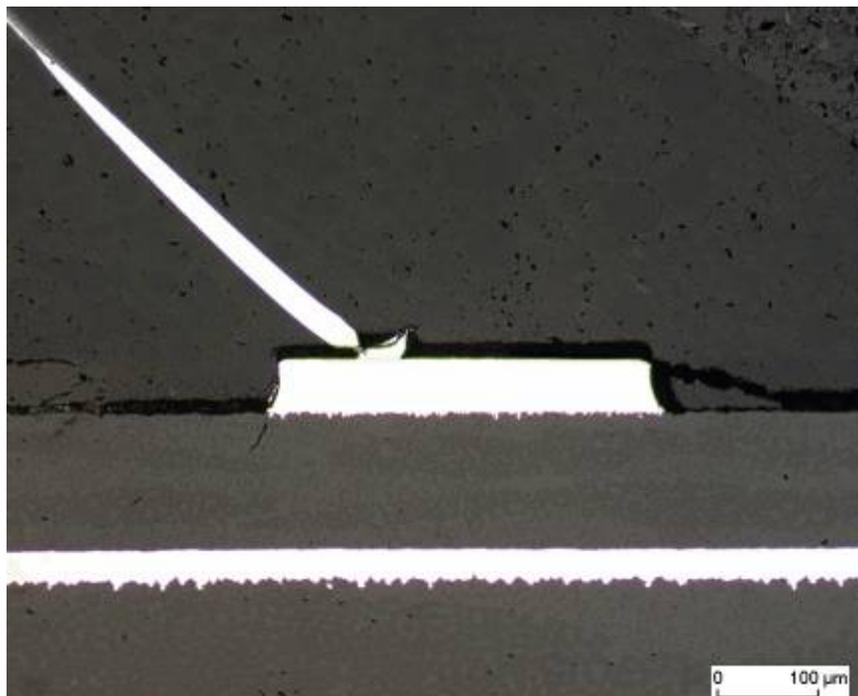
Delamination von Drahtbondkontakten aufgrund von Korrosion  
FIB – Untersuchung

Deep (~10 $\mu$ m) FIB cross-section



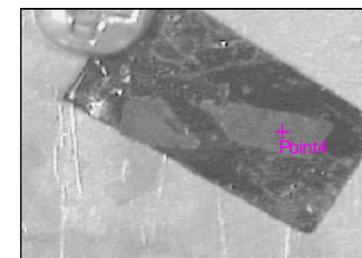
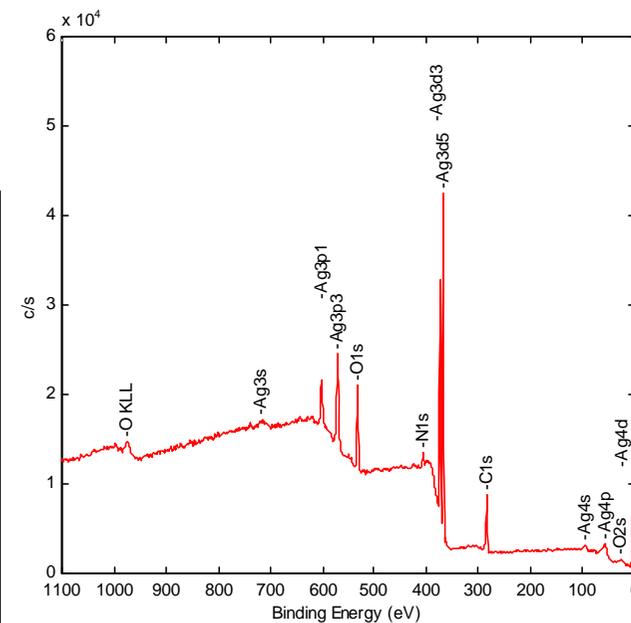
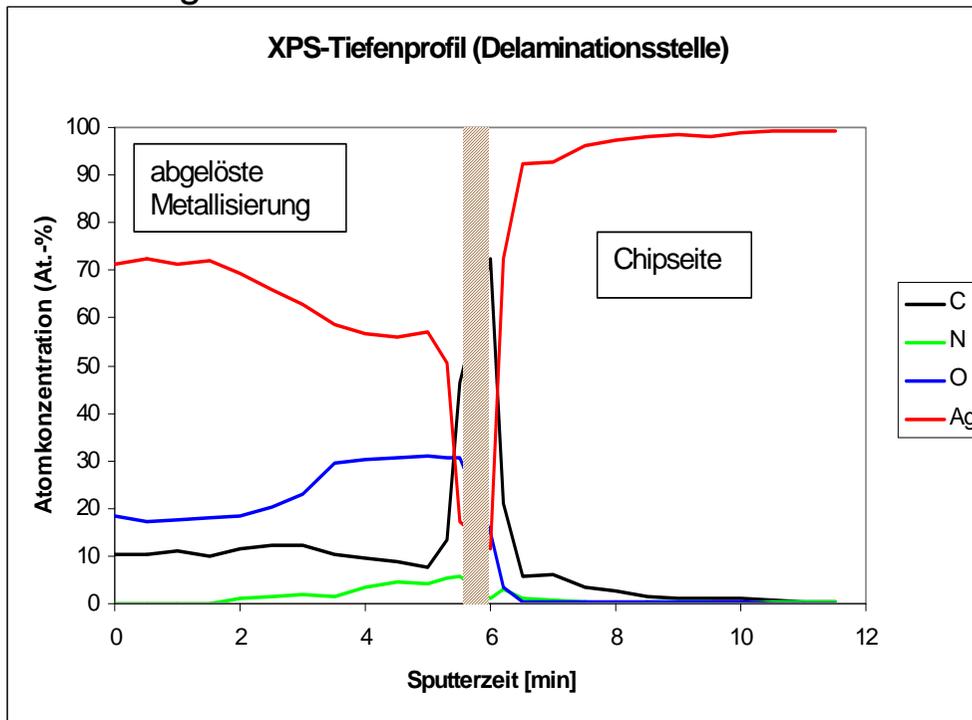
## Beispiele zur Fehleranalyse Drahtbondkontakte, Delamination

Delamination von Drahtbondkontakten durch mechanischen Riss  
unter dem Glop Top  
Querschliff, Politur, Lichtmikroskopie



# Beispiele zur Fehleranalyse Diskretes Bauelement, Rückseitenmetallisierung

Beispiel: Delamination von Rückseitenmetallisierungen  
 Analysetechnik: XPS  
 Ergebnis: N-, C- und O-haltige Zwischenschicht führt zur schlechten Haftung



1. Analysemöglichkeiten bei SGS IF, Methoden in Dresden
2. Analysemethodik bei Ausfällen mikroelektronischer Produkte
3. Ausfallbilder im Back End (nach Wafer)
4. Ausfallbilder im Front End (Wafer)

## Ausfallbilder im Front End

### Aktuelle Entwicklungen und deren Auswirkungen

- Die Kostenentwicklung treibt die Hersteller zum Einsatz immer kleinerer Strukturbreiten (Shrink Generations), neuer Materialien (high-k Gate), effizienterer Tools (300mm). Die Gesamttechnologie umfaßt ca. 500 Prozess-Schritte. Die meisten werden in einer neuen Shrink-Generation angepasst oder komplett neu entwickelt. Jede dieser Änderungen bringt potentiell neue Ausfallmechanismen mit sich!
- Abweichungen in der Produktion treten immer auf. Diese müssen hinsichtlich der Qualitätsauswirkungen bewertet werden (Stopp von Anlagen/Losen, MRB- Material Review Board, manuelle Freigabe von Losen mit Ausbeuteproblemen). Die Entscheidungen (QC, NC, Verwurf) müssen auf Kompromissen Kosten/Qualität aufgebaut werden (Kostendruck, Wettbewerb).
- Defekte (systematische- Waferrand, statistische- Partikel) treten immer auf und führen zu Strukturdefekten. Diese haben Auswirkungen auf die Ausbeute und oft auf die Zuverlässigkeit. Die Defektanzahl pro Chip steigt mit der Chipgröße und der Anzahl der Prozess-Schritte (Ebenen).

## Ausfallbilder im Front End

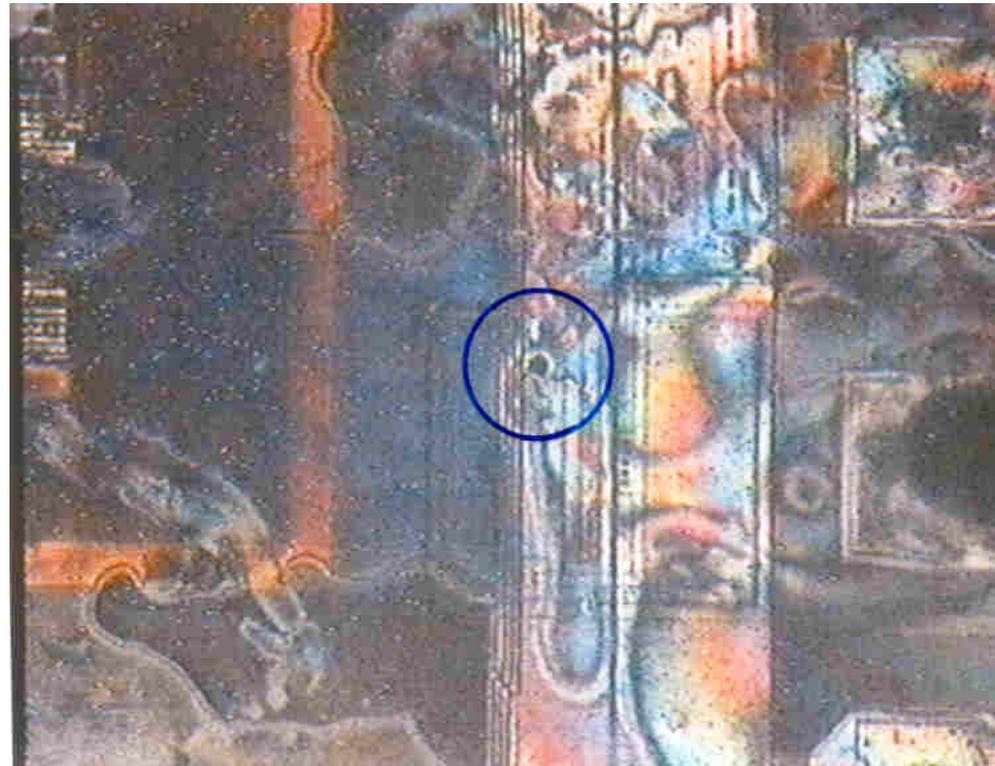
### Anforderungen an die Nutzer der Mikroelektronik-Produkte

- In Audits beim Kunden konsequent die Ursachen für Ausbeuteverluste erfragen und verstehen. Ausbeutemechanismen treten oft als Feldausfall im Produkt auf.  
  
Dazu zählen systematische Probleme (Waferrand) sowie Partikel.
- In Audits konsequent den Umgang mit Abweichungen in der Produktion erfragen. Diese Prozesse sind durch einen Kompromiss Kosten/Qualität getrieben (SPC, APC, MRB, Präventive Maßnahmen wie Kammercleans).
- In Audits konsequent den Geschäftsprozess für Änderungen der Technologie, Anlagen und Lieferanten bewerten (PCRB, Major/Minor Changes, Qualifikation von Änderungen).

## Beispiele zur Fehleranalyse Integrierte Schaltkreise, Fehlerlokalisierung

### Beispiel Thermografie mit Flüssigkristall

Lokalisierung eines hot spots  
in einem Transistor durch  
nematischen Flüssigkristall



## Beispiele zur Fehleranalyse Integrierte Schaltkreise, Fehlerlokalisierung

Fehlerlokalisierung durch OBIRCH-  
optical beam induced resistivity change



## Beispiele zur Fehleranalyse Integrierte Schaltkreise, komplexe Analysen

### Fehler im IC

### Komplexe Analysen an Speicherschaltkreisen

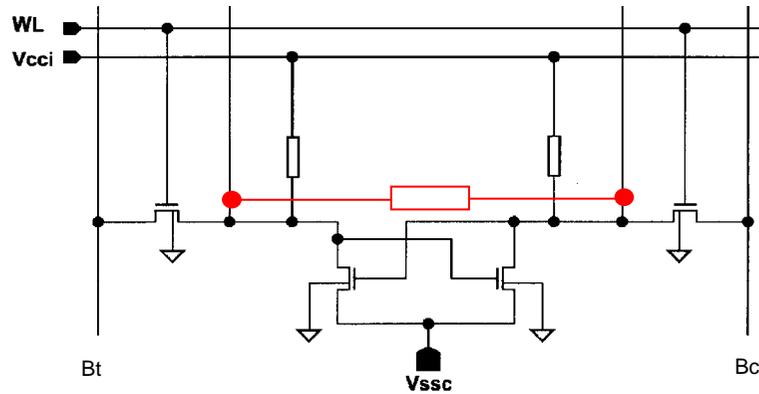
Fehlerlokalisierung ist im Vergleich zu  
Logik-ICs einfacher

## Harter sRAM-Bitfehler: Pipeline-Defekt

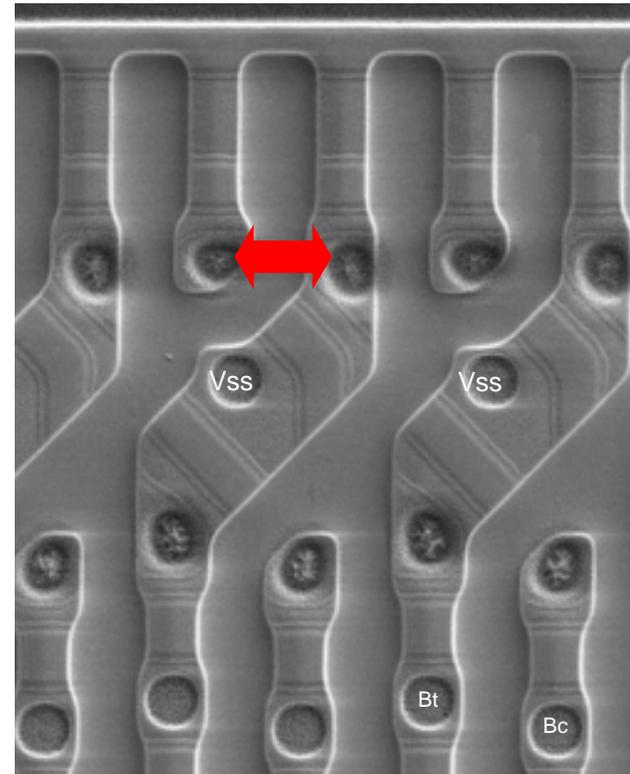
sRAM

Zellen nach Lift - Off

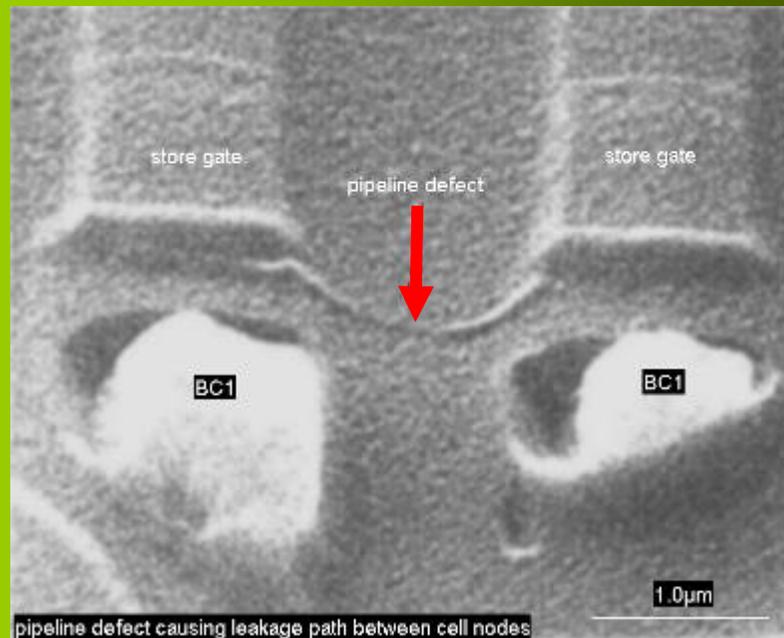
Nebenschluss zwischen den Zellknoten durch einen n - leitenden Pipeline - Defekt



SRAM-Teil



# Beispiele zur Fehleranalyse Speicher, nvSRAM, SRAM-Bitfehler: Pipeline-Defekt

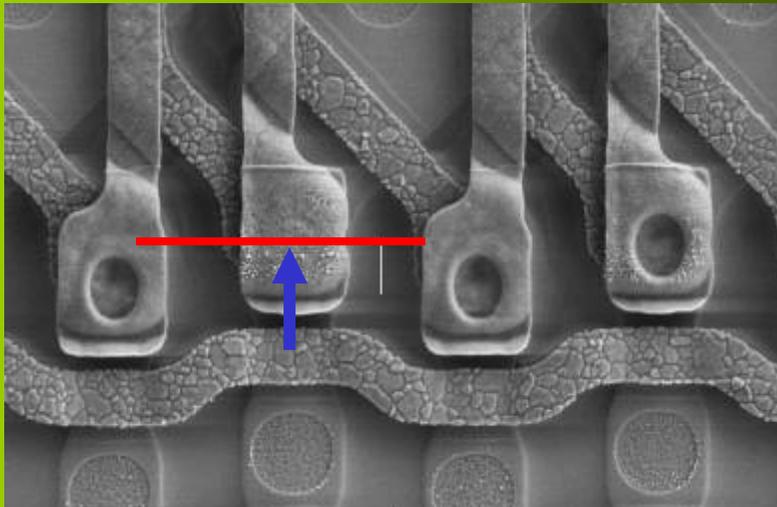


Pipeline – Defekt verbindet zwei Zellknoten  
Dekoration: 60s Wright Etch

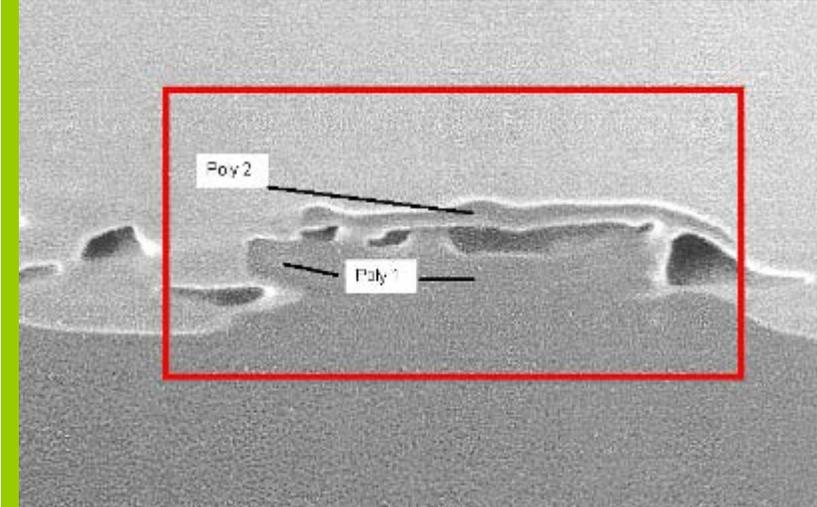


Pipeline – Defekt verbindet zwei Zellknoten  
TEM, neue Probe mit gleichem Fehlertyp

## Beispiele zur Fehleranalyse Speicher, Datenerhaltsfehler

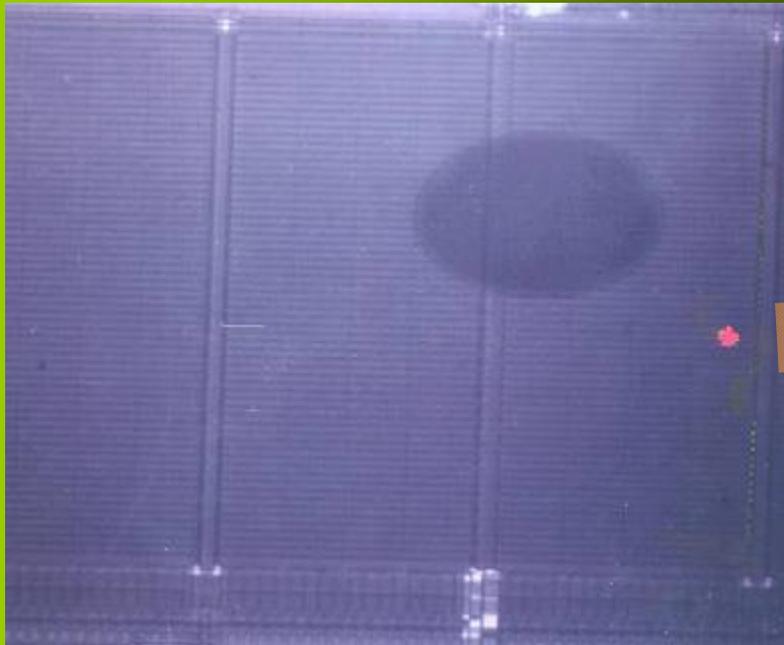


**Polysilizium freigelegt**  
Fehlerhafter Bitline Contact

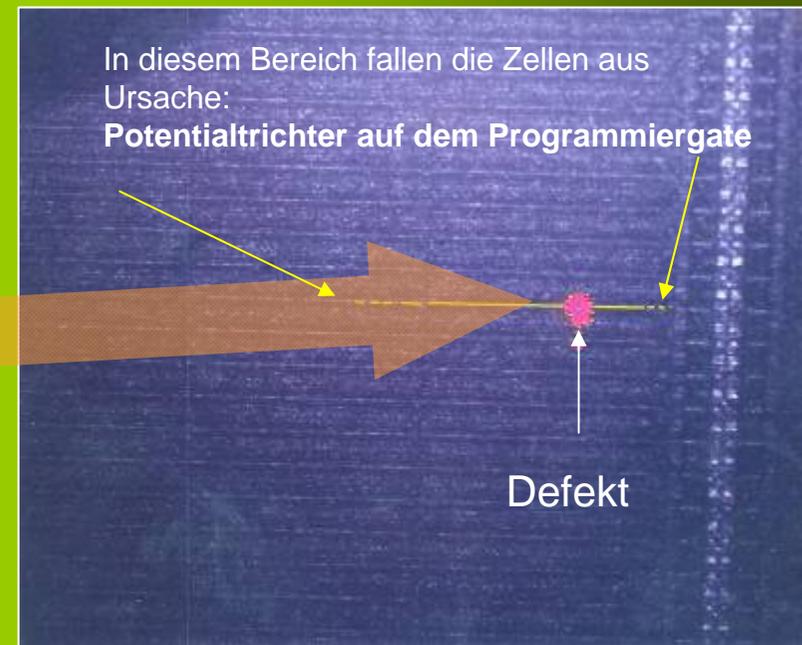


FIB - Cut durch fehlerhaften BC2  
organische Verunreinigungen im Interface

# Beispiele zur Fehleranalyse Endurance – Fehler

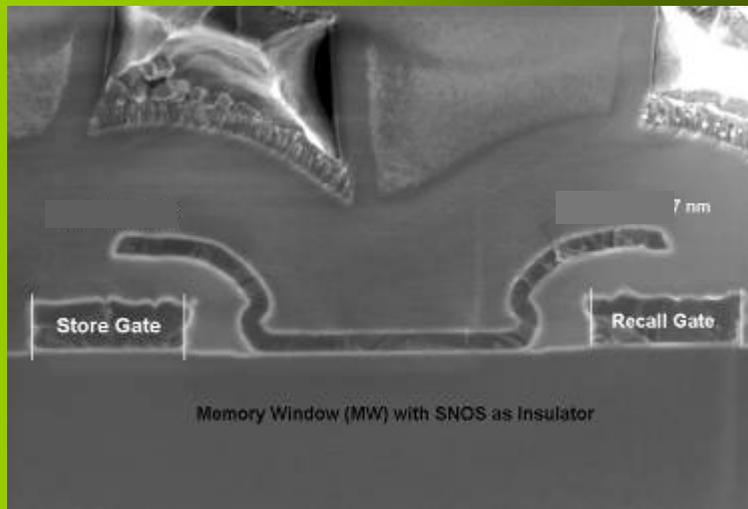


Emissionsmikroskop. Lokalisierung von  
Endurancefehlern

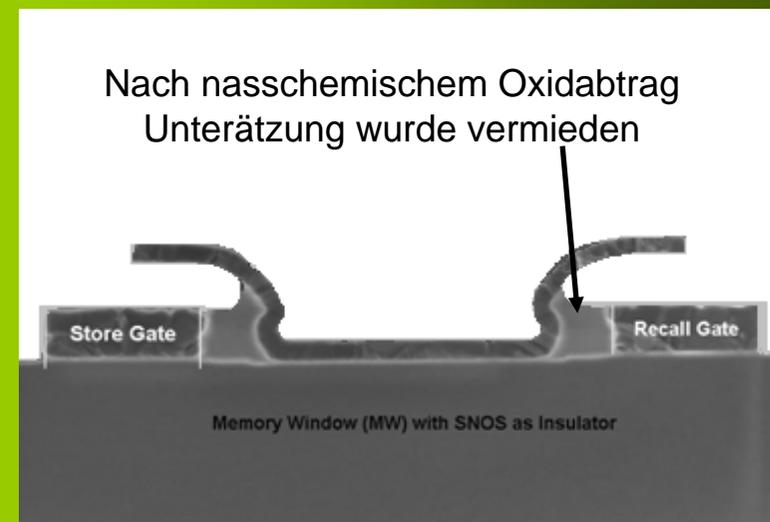


Emissionsmikroskop. Lokalisierung von  
Endurancefehlern

## Beispiele zur Fehleranalyse Endurance – Fehler



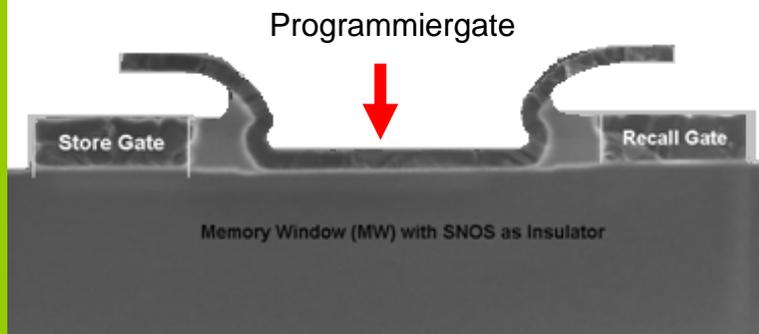
Querbruch



Programmiergeate freigelegt

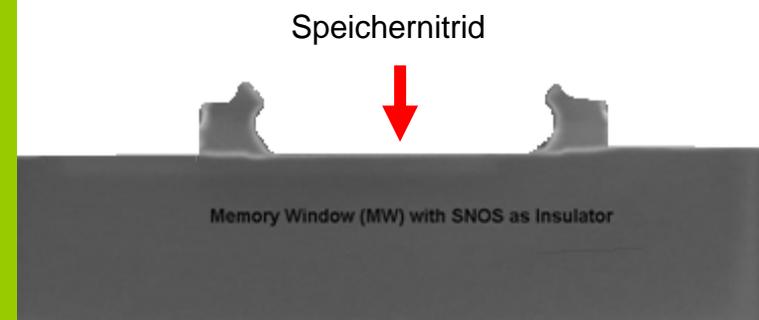
## Beispiele zur Fehleranalyse Endurance – Fehler

Nach nasschemischem Oxidabtrag



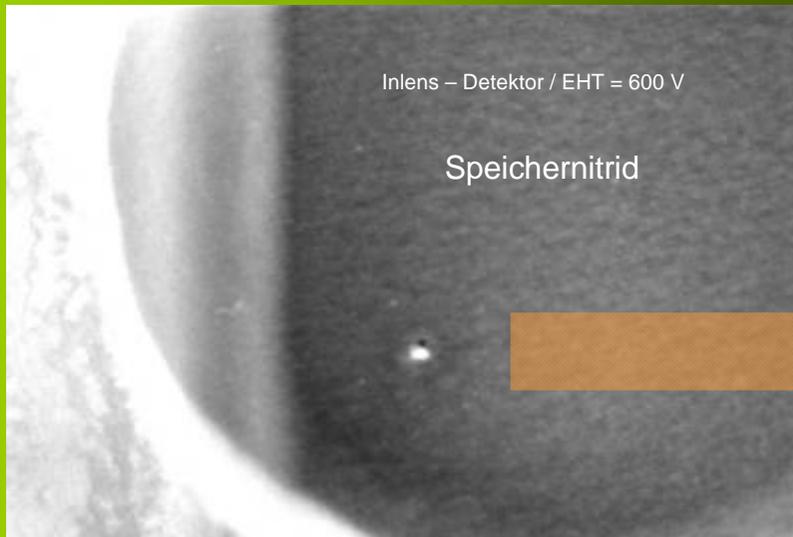
Programmiergeate der Zelle freigelegt

Nach selektiver Poly – Si - Ätzung

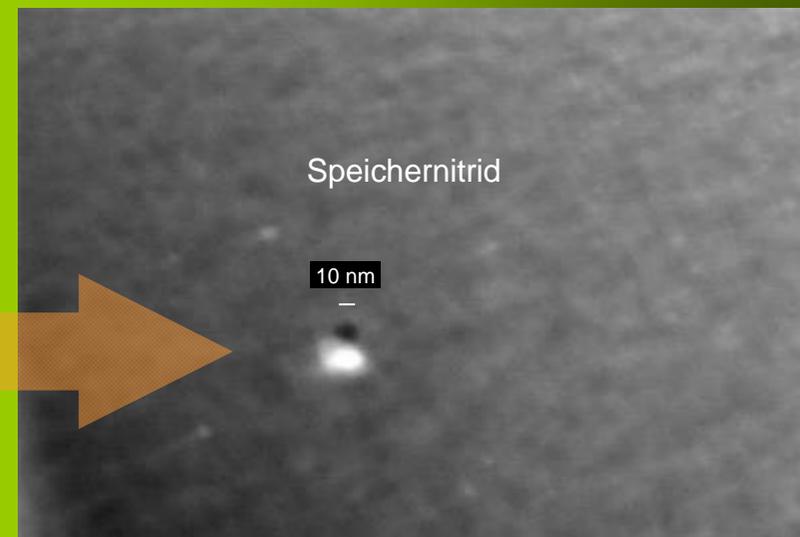


Speichernitrid der Zelle freigelegt

## Beispiele zur Fehleranalyse Endurance – Fehler

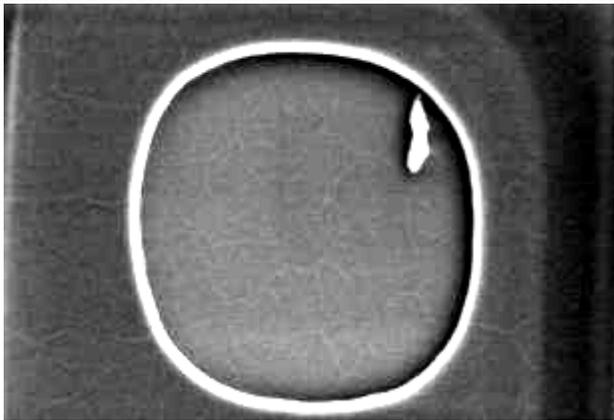


Defekt im Speichernitrid

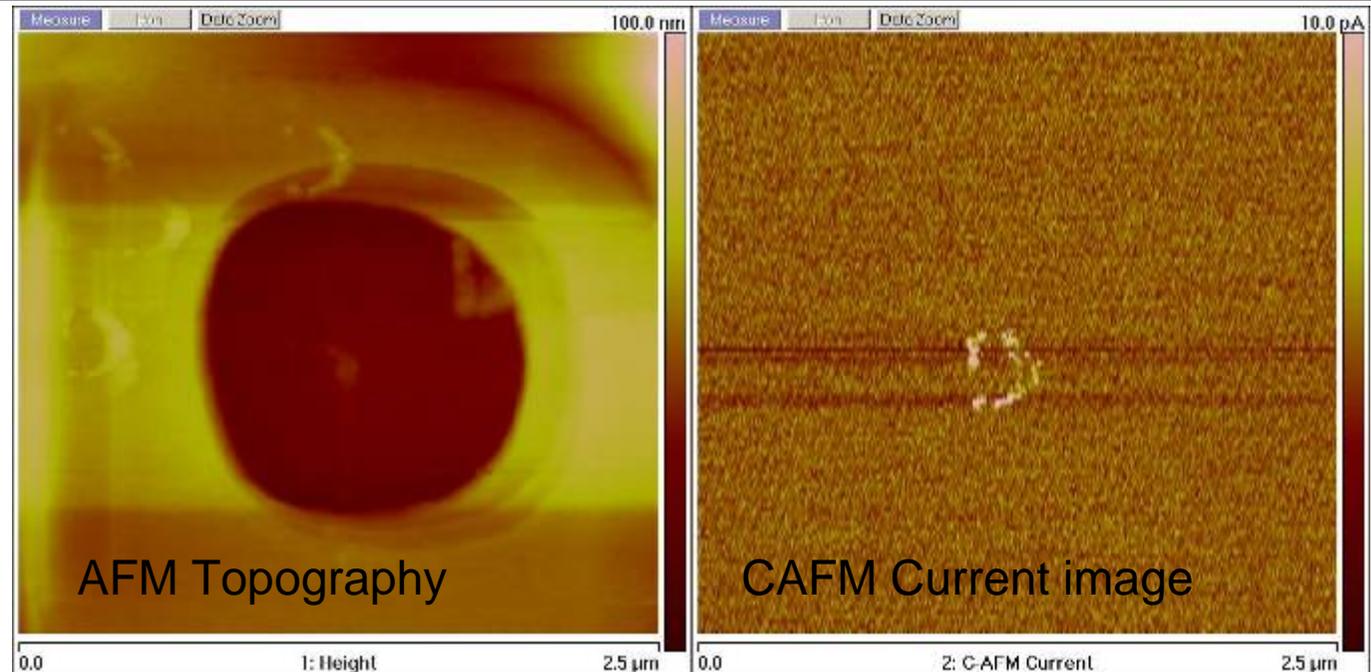


Defekt im Speichernitrid

## Beispiele zur Fehleranalyse EEPROM, Fehler im Tunneloxid



REM



Technik: cAFM-Messungen  
Lokaler Stromfluß im Bereich des Defekts.

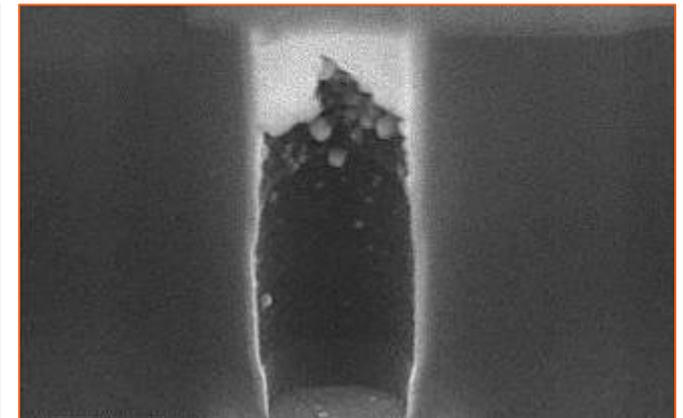
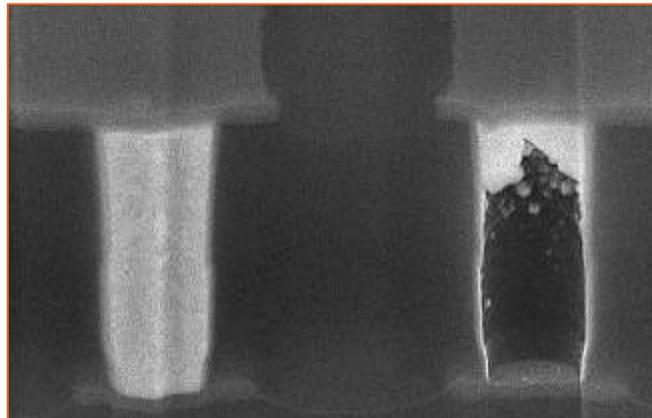
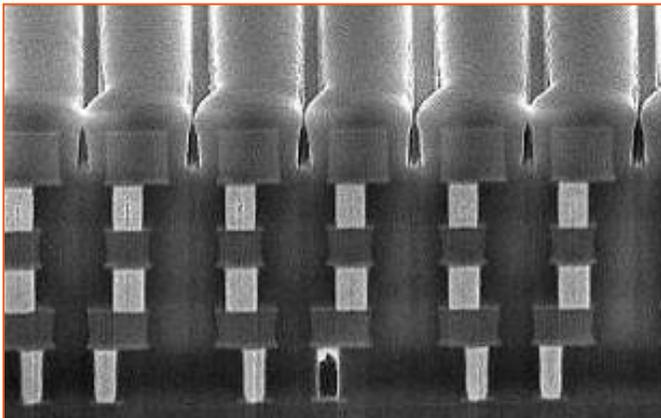
## Beispiele zur Fehleranalyse Speicherschaltkreis, Bit-Fehler

Doppelbitfehler durch offenen W-Kontakt

Meist nur auffällig bei geringen Temperaturen.

Sehr schlecht sichtbar in Qualifikationstests, da W thermisch sehr stabil ist.

Analyse: FIB, REM



## Beispiele zur Fehleranalyse Integrierte Schaltkreise, komplexe Analysen

### Fehler im IC

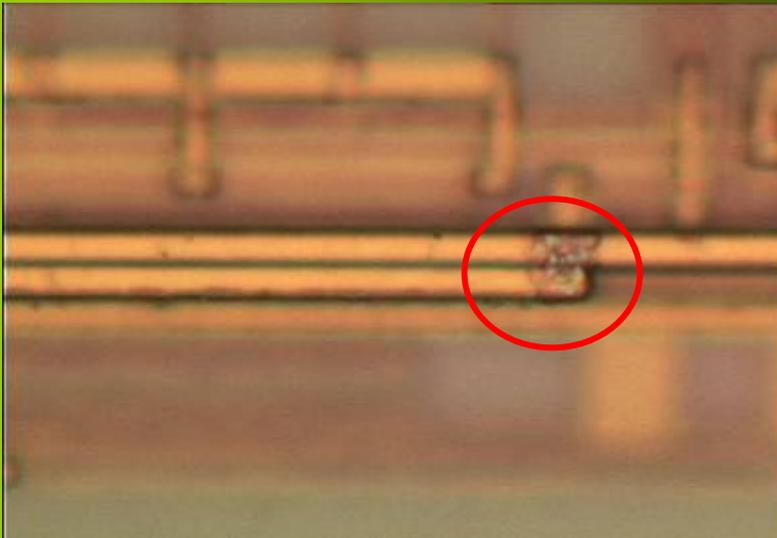
### Komplexe Analysen an ASIC-Schaltkreisen

Fehlerlokalisierung ist speziell in den nicht-Speicherschaltungen schwierig

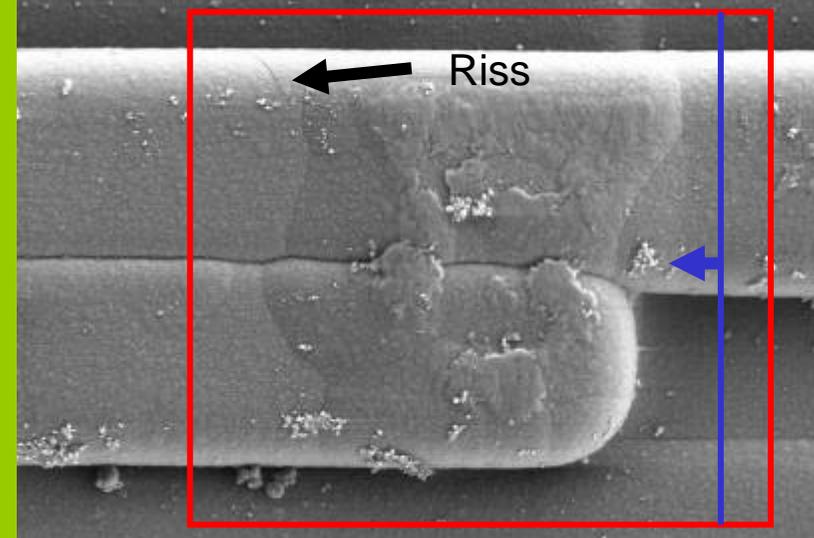
## Beispiele zur Fehleranalyse Integrierte Schaltkreise, komplexe Analysen

Beispiel: Analyse eines Fehlers durch  
wiederholende FIB-Schnitte und Abbildungen

## Beispiele zur Fehleranalyse ASIC. elektrisch lokalisierter Defekt in einem ASIC

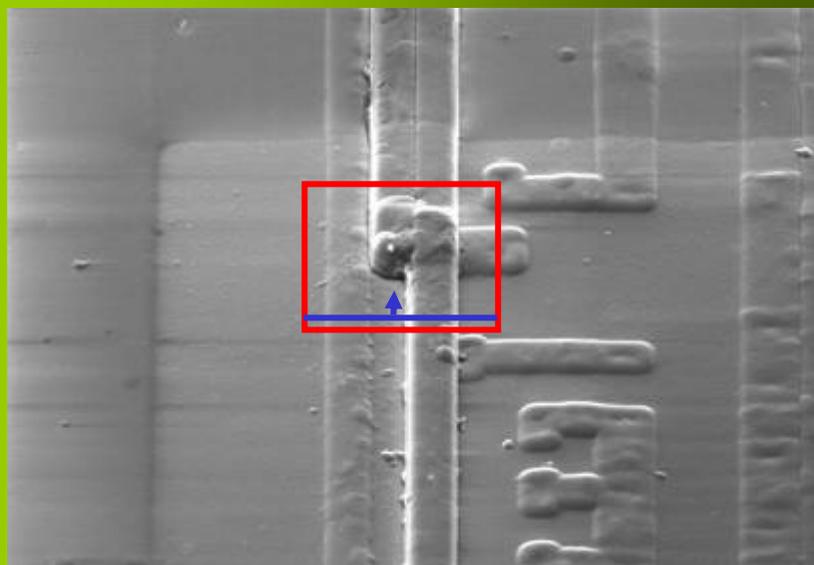


Elektrisch wirksame Beschädigung  
durch Werkzeug  
(Probe mit Passivierung)



FIB - Durchmusterung

## Beispiele zur Fehleranalyse ASIC, elektrisch lokalisierter Defekt in einem ASIC

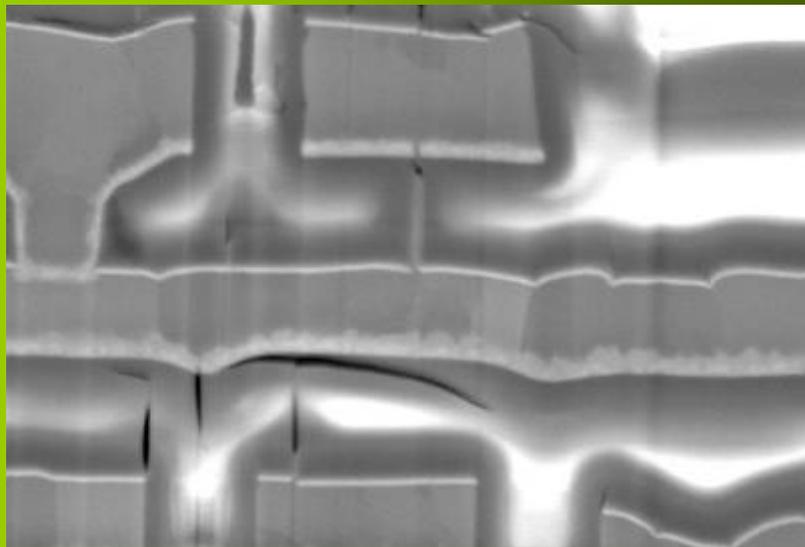


FIB - Durchmusterung

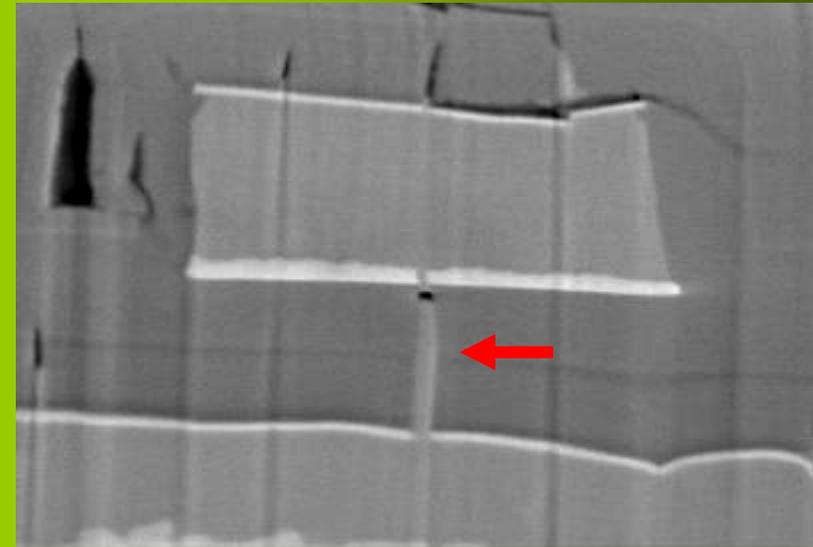


FIB – Cut: Risse im Oxid

## Beispiele zur Fehleranalyse ASIC, elektrisch lokalisierter Defekt in einem ASIC



FIB - Durchmusterung

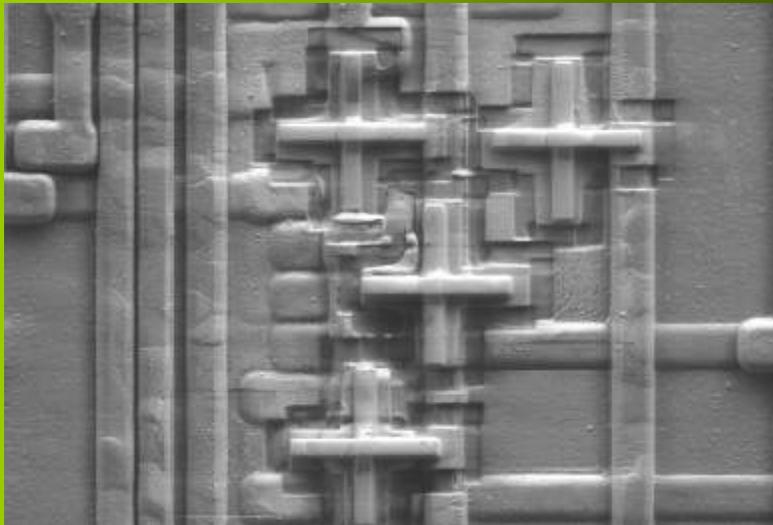


Al - gefüllter Riss erzeugt Kurzschluss

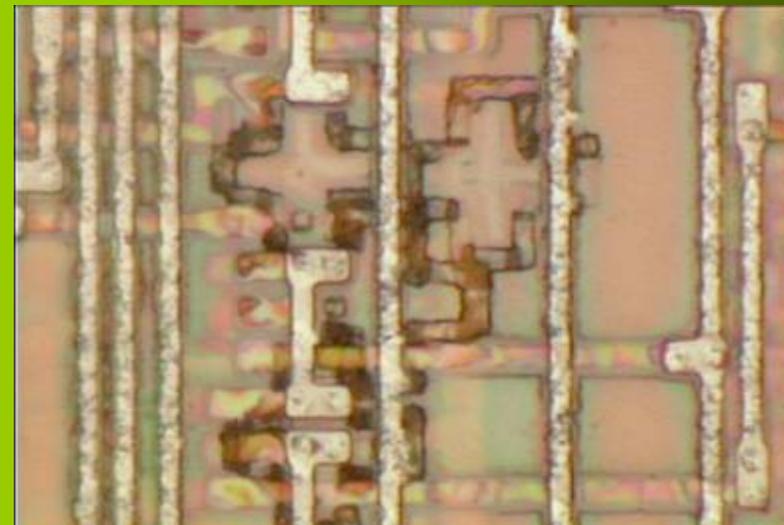
## Beispiele zur Fehleranalyse Integrierte Schaltkreise, komplexe Analysen

Beispiel: Analyse durch Schaltungsmodifikation  
und Setzen von Meßpads im FIB

## Beispiele zur Fehleranalyse ASIC, Fehler im Digitalteil



Ausgangszustand mit FIB – Messpads  
Elektrisch wirksamer Fehler

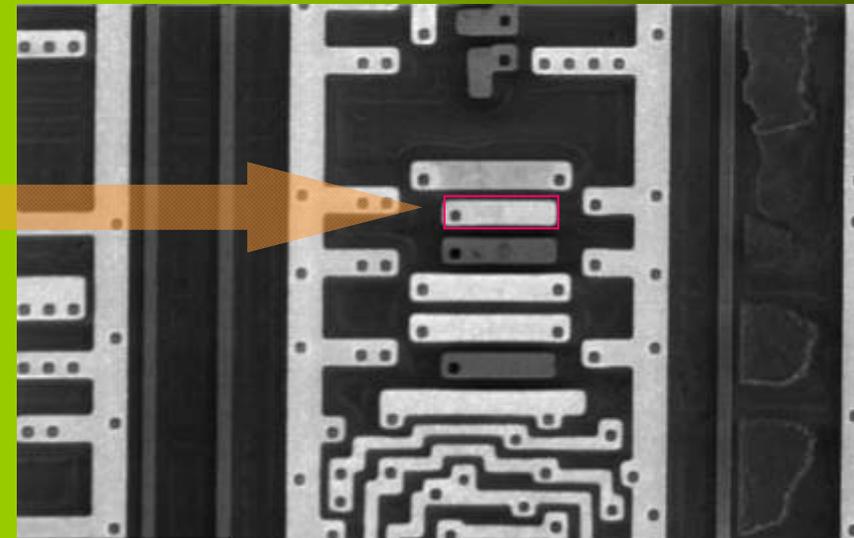


Defekter Transistor (Metall 3 anpoliert)

## Beispiele zur Fehleranalyse ASIC, Fehler im Digitalteil



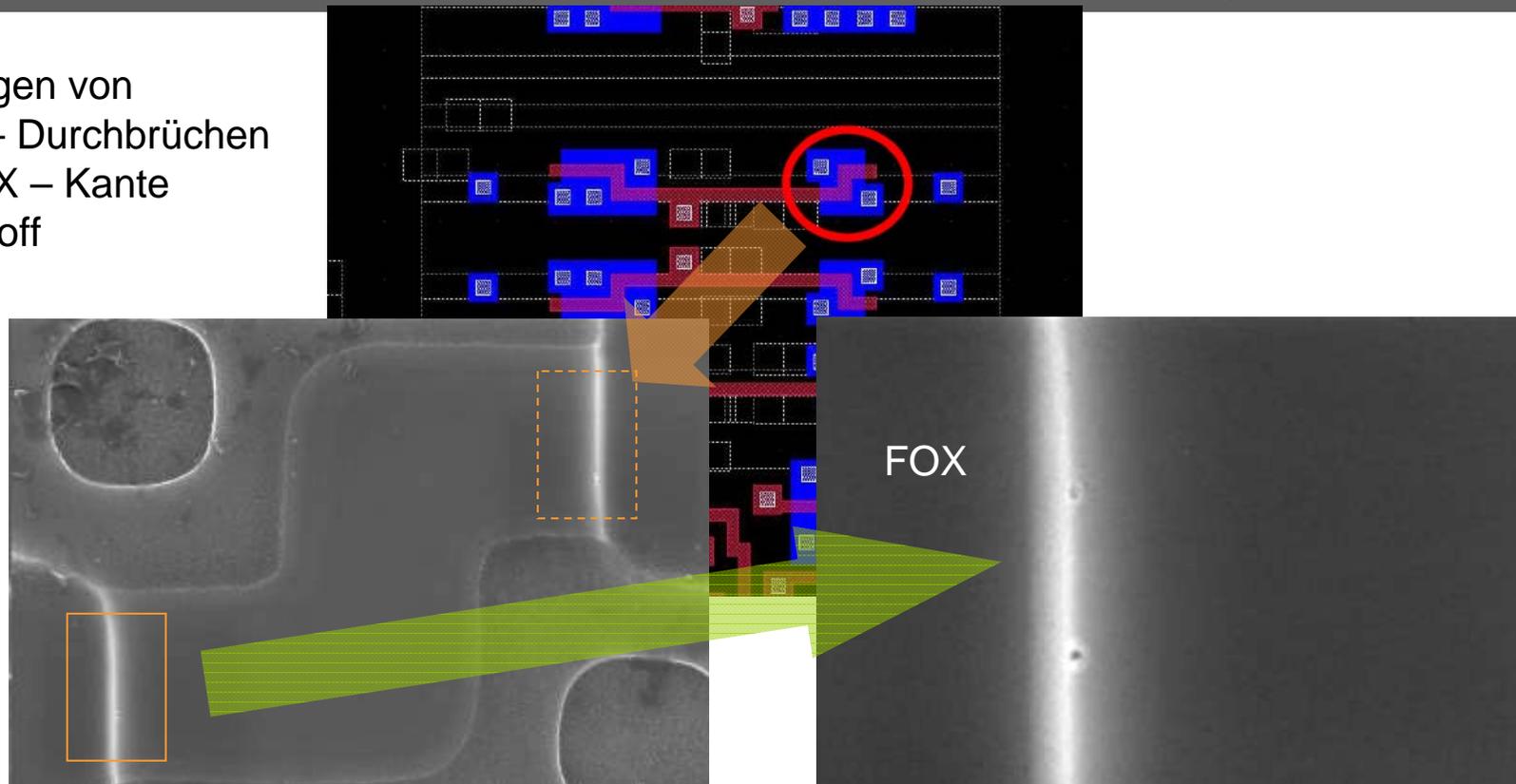
 Aktivgebiete  
 Polysilizium



Metall 1 - Barriere freigelegt  
PVC-Abb.: Gate hat Masseschluss

## Beispiele zur Fehleranalyse ASIC, Fehler im Digitalteil

Markierungen von  
Gateoxid – Durchbrüchen  
an der FOX – Kante  
nach Lift –off



## Zusammenfassung

- SGS Institut Fresenius verfügt über langjährige Erfahrung und ein umfangreiches Portfolio von Techniken bei der Analyse von Problemen mikroelektronischer Produkte.
- Die Analysen sind z.T. sehr komplex. Ein erheblicher Kosten- und Zeitvorteil kann erreicht werden, wenn SGS IF als Berater in der Kooperation Anbieter/Nutzer auftritt um potentielle Fehlerbilder frühzeitig auszuschließen.

A person wearing a white lab coat and a white face mask is holding a small, rectangular circuit board in their gloved hand. The background is a soft, out-of-focus light blue.

**THANK YOU FOR YOUR ATTENTION!**

**SGS Institut Fresenius GmbH**

Königsbrücker Landstraße 161 · D-01109 Dresden

Telefon: +49 (0)351 8841 100

Telefax: +49 (0)351 8841 190

[www.institut-fresenius.de](http://www.institut-fresenius.de)

[microelectronics@institut-fresenius.de](mailto:microelectronics@institut-fresenius.de)

**WHEN YOU NEED TO BE SURE**

**SGS**